

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP2000332155

Publication date: 2000-11-30

Inventor: ITO SHIGEYASU

Applicant: SONY CORP

Classification:

- international: *H01L23/12; H01L23/29; H01L23/31; H01L23/12; H01L23/28; (IPC1-7): H01L23/12; H01L23/29; H01L23/31*

- european:

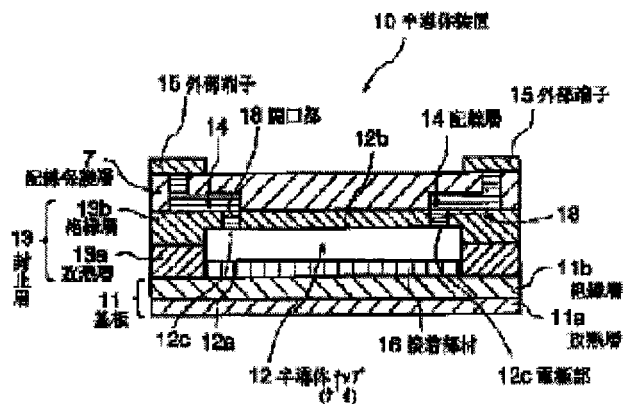
Application number: JP20000039780 20000214

Priority number(s): JP20000039780 20000214; JP19990066897 19990312

Abstract of JP2000332155

PROBLEM TO BE SOLVED: To provide an efficient manufacturing method of a semiconductor device and to realize a thin and high density semiconductor chip. **SOLUTION:**

The semiconductor device comprises a substrate 11, a semiconductor chip 12 formed with an integrated circuit and having one end face bonded with the substrate 11 and the other end face 12b provided with an electrode part 12c connected electrically and externally, a sealing layer 13 formed on the side face and the other end face 12b of the semiconductor chip 12 and having an opening 18 at the part where the electrode part 12c of the semiconductor chip 12 is formed, and a wiring layer 14 formed on the opening 18 and the sealing layer 13 in order to be connected electrically with the electrode part 12c of the semiconductor chip 12.



(11)特許出願公開番号
特開2000-332155
(P2000-332155A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl. ⁷	識別記号	F I	ページコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	J 4 M 1 0 9
23/29			F
23/31		23/30	B

審査請求 未請求 請求項の数 8 OL (全 7 頁)

(21) 出願番号 特願2000-39780(P2000-39780)

(22) 出願日 平成12年2月14日(2000.2.14)

(31) 優先権主張番号 特願平11-66897

(32) 優先日 平成11年3月12日(1999.3.12)

(33) 優先権主張国 日本(JP)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 伊藤 茂康
岐阜県美濃加茂市本郷町9丁目15番22号
ソニー美濃加茂株式会社内

(74)代理人 100096806
弁理士 岡▲崎▼ 信太郎 (外1名)

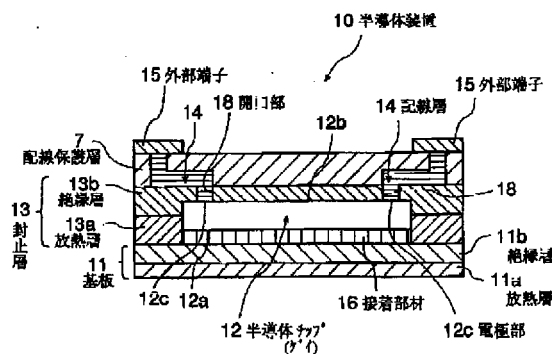
Fターム(参考) 4M109 AA02 BA03 DB02 DB15 EA15
EE05 GA05

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の製造を効率化するとともに、半導体チップの高密度化及び薄型化を実現することができる半導体装置及びその製造方法を提供すること。

【解決手段】 基板１１と、集積回路が形成されており、一端面側に前記基板１１が接合され、他端面側１２ｂに外部と電氣的に接続する電極部１２ｃを有する半導体チップ１２と、前記半導体チップ１２の側面及び他端面側１２ｂに形成されていて、前記半導体チップ１２の前記電極部１２ｃが形成されている部位に開口部１８を有する封止層１３と、前記半導体チップ１２の前記電極部１２ｃと電氣的に接続するため、前記開口部１８及び前記封止層１３に積層される配線層１４とを有する。



【特許請求の範囲】

【請求項1】 基板と、

集積回路が形成されており、一端面側が前記基板に接合され、他端面側に外部と電気的に接続する電極部を有する半導体チップと、

前記半導体チップを封止するため、前記半導体チップの側面及び他端面側に形成されて、前記半導体チップの前記電極部が形成されている部位に開口部を有する封止層と、

前記半導体チップの前記電極部と電気的に接続するため、前記開口部及び前記封止層に積層される配線層とを有する半導体装置。

【請求項2】 前記封止層は、前記半導体チップの側面に形成されていて、前記半導体チップから発生する熱を外部に放出するための放熱層を有している請求項1に記載の半導体装置。

【請求項3】 前記配線層には、前記配線層を保護するための配線保護層が積層されている請求項1に記載の半導体装置。

【請求項4】 基板の上に集積回路が形成されている半導体チップの一端面を接合して、

前記半導体チップの側面及び他端面側に前記半導体チップを封止するための封止層を形成して、

前記封止層における前記半導体チップの他端面側に形成されている電極部の部位に開口部を形成して、

前記開口部及び前記封止層に導電体からなる配線層を所定のパターンで積層する半導体装置の製造方法。

【請求項5】 前記配線層には、前記配線層を保護するための配線保護層が積層されている請求項4に記載の半導体装置の製造方法。

【請求項6】 前記配線層を形成する際には、前記開口部に樹脂からなる導電体、もしくは樹脂からなる弾力性を有する導電体を充填させた後、前記配線層が前記封止層に積層される請求項4に記載の半導体装置の製造方法。

【請求項7】 前記封止層は、前記基板上であって前記半導体チップの側面に、前記半導体チップから発生する熱を外部に放出するための放熱層を積層し、前記半導体チップ及び前記放熱層に絶縁層を積層する事により形成される請求項4に記載の半導体装置。

【請求項8】 基板の上に集積回路が形成されている半導体チップの一端面側を接合して、

前記半導体チップの側面及び他端面側に前記半導体チップを封止するための封止層を形成して、

前記封止層に前記半導体チップを外部と電気的に接続させるための導電体からなる配線層を形成して、

前記封止層及び前記配線層における前記半導体チップの他端面側に形成されている電極部の部位に開口部を形成して、

前記開口部及び前記封止層に導電体からなる配線層を所

定のパターンで積層する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特に、基板に内蔵されたチップサイズパッケージに関するものである。

【0002】

【従来の技術】近年、携帯電話やいわゆるモバイル機器等のPHS (Personal Handyphone System) やPDA (Personal Digital Assistant) といった情報機器が開発されている。これらの電子機器は、ユーザが持ち運びに便利のように小型化、軽量化が進められている。そこで、この電子機器を構成するLSIチップにおいても、小型化、高密度化及び軽量化が求められるようになり、LSIが形成された半導体チップとはほぼ同等の大きさで基板等を実装することができるチップサイズパッケージ (CSP) が提案されている。

【0003】図9は、従来の半導体装置の一例を示す断面図であり、図9を参照して半導体装置1について説明する。図9の半導体装置1は、基板2、半導体チップ (ダイ) 3、配線4、封止層5等を有している。基板2には電極部2aが形成されていて、この電極部2aにより基板2と半導体チップ3及び基板2と外部との電気的接続がなされる。半導体チップ3は、受動素子や能動素子からなる集積回路が形成されていて、基板2上にたとえば接着剤を用いて接着されている。半導体チップ3と基板2は、配線4を介して電気的に接続されている。

【0004】次に、図9に示す半導体装置1の製造方法の一例について説明する。まず、ウェハ上に集積回路が形成されて、このウェハが所定の大きさにダイシング (切断) され、半導体チップ3が形成される (半導体チップ製造工程)。一方で、この半導体チップ3を搭載する基板2が、微細スルーホール加工、メッキ及びエッチング等を施すことにより作製される (基板製造工程)。そして、この半導体チップ3が基板2の上に接着剤により接着され、半導体チップ3と基板2の電極部2aに配線4が接続される。その後、半導体チップ3の上に樹脂等を充填して封止して、基板2を所定の大きさに切断することにより、半導体装置1が完成する (ボンディング工程)。

【0005】

【発明が解決しようとする課題】上述した方法では、基板製造工程とボンディング工程が別々に存在している。このため、基板製造工程における作業時間及び製造コストと、ボンディング工程における作業時間及び製造コストが別途必要となり、半導体装置の製造コストが高くなり、作業時間が長くなるという問題がある。

【0006】一方、最近ウェハレベルCSPと呼ばれる新しい半導体装置の製造方法が提案されている。これ

は、ウェハプロセスの最終工程として封止絶縁層の形成及び電極形成が行われ、その後ウェハをダイシングして、CSPとしての半導体装置1が完成する方法である。この方法によれば、製造コストや作業時間の効率化を図ることができる。しかし、ウェハ上で電極形成するため、半導体チップ3の大きさによって配置することができる電極数が制限されてしまうという問題がある。つまり、半導体チップ3が小さい割にピン数の大きいものは電極配置ができず、高集積化されたCSPとしては使用することができないという問題がある。

【0007】そこで本発明は上記課題を解消し、半導体装置の製造を効率化するとともに、半導体チップの高密度化及び薄型化を実現することができる半導体装置及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的は、請求項1の発明によれば、基板と、集積回路が形成されており、一端面側が前記基板に接合され、他端面側に外部と電気的に接続する電極部を有する半導体チップと、前記半導体チップの側面及び他端面側に形成されて、前記半導体チップの前記電極部が形成されている部位に開口部を有する封止層と、前記半導体チップの前記電極部と電気的に接続するため、前記開口部及び前記封止層に積層される配線層とを有する半導体装置により、達成される。

【0009】請求項1の構成によれば、半導体チップの電極部の配置パターンは配線層によって所定のパターンに再配置されることとなる。半導体チップの電極パターンが外部と配線しやすいように再配置されることになる。また、基板は半導体チップが内蔵された状態で製造されているので、半導体チップにおける温度サイクルによるストレスが軽減される。

【0010】上記目的は、請求項2の発明によれば、請求項1の構成において、前記封止層は、前記半導体チップの側面に形成されていて、前記半導体チップから発生する熱を外部に放出するための放熱層を有している半導体装置により、達成される。

【0011】請求項2の構成によれば、半導体チップが動作することにより発生する熱を放熱層が効率よく外部に放出することにより、半導体チップの性能低下を防止する。

【0012】上記目的は、請求項3の発明によれば、請求項1の構成において、前記配線層には、前記配線層を保護するための配線保護層が積層されている半導体装置により、達成される。

【0013】請求項3の構成によれば、配線保護層は配線層を覆うように形成されていて、配線層が切断等されることによる半導体装置の不良発生を防止する。

【0014】上記目的は、請求項4の発明によれば、基板の上に集積回路が形成されている半導体チップの一端面を接合して、前記半導体チップの側面及び他端面側に

前記半導体チップを封止するための封止層を形成して、前記封止層における前記半導体チップの他端面側に形成されている電極部の部位に開口部を形成して、前記開口部及び前記封止層に導電体からなる配線層を所定のパターンで積層する半導体装置の製造方法により、達成される。

【0015】請求項4の構成によれば、半導体装置は微細孔加工技術、メッキ及びエッチング技術等の基板製造技術を用いて、半導体チップを封止する封止層及び半導体チップと外部端子を電気的に接続する配線層を形成する。また、半導体チップの電極部は配線層によって所定のパターンに形成される。これにより、基板を製造する工程と半導体チップを封止（内蔵）する工程を同時に行いながら半導体装置を製造することができる。

【0016】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0017】図1は本発明の半導体装置の好ましい実施の形態を示す断面図であり、図1を参照して半導体装置10について説明する。図1の半導体装置10は、基板11、半導体チップ（ダイ）12、封止層13、配線層14、外部端子15等を有している。基板11は、たとえば銅箔等からなる放熱層11aと、たとえば樹脂板からなる絶縁層11bからなっている。放熱層11aは半導体チップ12から放出される熱を外部に放出するものであり、絶縁膜11bは半導体チップ12と基板11とを電気的に絶縁させるものである。

【0018】絶縁層11bの上には接着部材16が設けられていて、接着部材16は半導体チップ12を基板11に接合させる。半導体チップ12はウェハ上に能動素子や受動素子等の集積回路が形成されたものであり、他端面側12bに外部と電気的接続を行うための電極部12cが形成されている。半導体チップ12の側面及び他端面側12bを覆うように封止層13が形成されていて、封止層13は、たとえば放熱層13aと絶縁層13bからなっている。放熱層13aは、半導体チップ12の側面側に銅箔等の導熱性のよい材料から形成されている。これにより、半導体チップ12で発生した熱を外部に効率よく放出することができる。

【0019】絶縁層13bは、半導体チップ12における他端面側12bを覆うように形成されていて、半導体チップ12の各電極部12cがショートするのを防止している。絶縁層13bにおける半導体チップ12の電極部12cがある部位には、開口部18がエッチング等により形成されている。開口部18及び絶縁層13bの上

には配線層14が積層されている。配線層14は、半導体チップ12と外部端子15を電氣的に接続するものである。

【0020】配線層14は所定の配線パターンで形成されて、半導体チップ12における電極部12cの配置パターンを再配置するものである。これにより、従来と比べて、半導体チップ12の大きさによる電極部12cの配置数の制限が緩和されることになる。すなわち、たとえば半導体チップ12の大きさに対して電極部12cの配置数が多い場合には、配線層14により半導体チップ12の配置パターンを再配置させることで、半導体チップ12のピンピッチが実質上広くなったこととなり、各電極部12cと各外部端子15がそれぞれ確実に電氣的に接続することができる。また、配線層14は絶縁材料からなる導電保護層17により保護されていて、この導電保護層17の上に外部端子15が形成されている。

【0021】図2は、本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図であり、図2を参照して半導体装置の製造方法の一例について説明する。まず、放熱層11aと絶縁層11bを有する基板11が作製される。そして、図2(A)に示すように、基板11の上に接着部材16及び放熱層13aが形成される。このとき、放電層13は搭載する半導体チップ12とほぼ同一の幅を有する穴を形成しており、この穴に接着部材16が充填される。その後、図2(B)のように、接着部材16の上に半導体チップ12の一端面側12aが位置決めされる。そして、基板11が加熱されると接着部材16が固化して、半導体チップ12が基板11に対して接合される。

【0022】次に、図2(C)に示すように、半導体チップ12の上に絶縁層13bが形成される。このとき、絶縁層13bの厚さは、半導体チップ12の電極部12cのピッチ、半導体チップ12の特性及び後述する絶縁層13bの開口方法を考慮して最適化される。そして、図2(D)に示すように、半導体チップ12に形成されている電極部12c上の絶縁層13bに開口部18が形成される。開口部18を形成する方法としては、たとえば絶縁層13bが感光性の樹脂により形成されて、この樹脂をエッチングする方法もしくはレーザー光を照射して開口する方法等があげられる。

【0023】図3(A)に示すように、開口部18を有する絶縁層13bの上からたとえば銅箔等の導電体がメッキや真空蒸着等の薄膜形成技術により成層されて、配線層14が形成される。そして、図3(B)に示すように、この配線層14がたとえばフォトリソグラフィー及びエッチングにより所定のパターンに形成される。

【0024】その後図4(A)に示すように、配線層14の上から配線保護層17及び外部端子15が形成される。具体的には、絶縁体からなる配線保護層17と導電体からなる外部端子15が積層して形成されていて、外

部端子15には配線保護層17を貫通している突起部15aが形成されている。そして、図4(B)に示すように、この突起部15aが配線層14に突き刺さることと、外部端子15と配線層14が電氣的に接続するとともに、配線層14上には配線保護層17が形成される(B2i工法)。最後に、図4(C)に示すように、外部端子15がフォトリソグラフィー及びエッチング等により所定のパターンに形成されるとともに、各半導体チップ12毎に切断されると、半導体装置(CSP)10が完成する。

【0025】なお、図3(A)の配線層14の形成及び配線層14と半導体チップ12の電氣的接続は、図5に示すような方法を用いても良い。図5(A)において、絶縁層13bに形成された開口部18に対して、導電性ボール20が配置される。ここで導電性ボール20はたとえば弾力性を有する樹脂ボールに金メッキ皮膜が形成されたものや金属ボール等から形成されている。その後図5(B)に示すように、導電性ボール20の上から配線層14が圧着される。すると、導電性ボール20により開口部18内には導電体が充填することになり、半導体チップ12と配線層14が電氣的に接続するようになる。その後、図3(B)に示すように配線層14が所定のパターンになるようにエッチング等が施される。

【0026】図5においては、開口部18に導電性ボール20が配置されているが、図6に示すように、たとえば樹脂や銅箔等からなる導電性部材が開口部18に充填することで、配線層14と半導体チップ12を電氣的に接続させるようにしても良い。

【0027】図7と図8は本発明の半導体装置の製造方法の別の実施の形態を示す工程図であり、図7と図8を参照して半導体装置の製造方法について説明する。まず、図7(A)に示すように、基板11の上に接着部材16及び放熱層13aが形成される。このとき、放電層13は搭載する半導体チップ12とほぼ同一の幅を有する穴を形成しており、この穴に接着部材16が充填される。その後、図7(B)のように、接着部材16の上に半導体チップ12が位置決めされる。そして、基板11が加熱されると接着部材16が固化して、半導体チップ12が基板11に対して接合される。

【0028】次に、図7(C)に示すように、半導体チップ12の上に絶縁層13bが形成される。このとき、絶縁層13bの厚さは、半導体チップ12の電極部12cのピッチ、半導体チップ12の特性及び後述する絶縁層13bの開口方法を考慮して最適化される。また、絶縁層13bの上からたとえば銅箔等の導電体がスパッタリングや真空蒸着等の薄膜形成技術により成層されて、配線層14が形成される。そして、図7(D)に示すように、半導体チップ12に形成されている電極部12c上の絶縁層13b及び配線層14に開口部30が形成される。開口部30を形成する方法としては、エッチング

等のフォトリソグラフィ技術があげられる。

【0029】図8(A)に示すように、開口部30に対して銅箔等からなる導電体31が充填される。その後、図8(B)に示すように、この配線層14がエッチング等により所定のパターンに形成される。そして、図8(C)に示すように、配線層14の上から配線保護層17及び外部端子15が形成される。具体的には、絶縁体からなる配線保護層17と導電体からなる外部端子15が積層して形成されていて、外部端子15には配線保護層17を貫通している突起部15aが形成されている。

【0030】そして、図8(D)に示すように、この突起部15aが配線層14に突き刺さることで、外部端子15と配線層14が電気的に接続するとともに、配線層14上には配線保護層17が形成される(B2i t工法)。そして、図8(E)に示すように、外部端子15がエッチング等により所定のパターンに形成されるとともに、各半導体チップ12毎に切断されると、半導体装置(CSP)10が完成する。

【0031】上記各実施の形態によれば、半導体装置10を製造する際に、従来の基板製造工程とボンディング工程が同時に行われるため、製造コストの削減及び作業の効率化を図ることができる。また、半導体装置10における半導体チップ12のピン数が増加した場合であっても、配線層14を用いることにより、各電極部12cに対して確実に外部と電気的接続を図ることができ、半導体チップの高集積化を実現することができる。

【0032】さらに、半導体チップ12の周辺(側面、上面もしくは下面)に放熱層13aを設けることで、半導体チップ12から発生する熱量を効率的に外部に放出して放熱特性の優れたシールド効果の高い半導体装置10を製造することができる。また、半導体チップ12が100 μ m程度の極薄チップとして基板11に内蔵させることにより、温度サイクルによって発生するストレスが軽減され、マザー実装時の接続信頼性が高い半導体装置10を供給することができる。そして、基板11に半導体チップ12を内蔵させることによって、非常に薄い半導体装置10を作製することができる。

【0033】本発明の実施の形態は上記実施の形態に限定されない。図1において、封止層13は、たとえば樹脂板からなる絶縁層13bとたとえば銅箔等からなる放熱層13aからなっているが、絶縁層のみから形成され

るようにしてもよい。また、基板11についても絶縁層11bと放熱層11aの2層からなっているが、絶縁層のみもしくは放熱層のみから形成されるようにしてもよい。さらに、図2乃至図8において、配線層14をパターン形成する際、いわゆるパネルメッキのサブトラクト法が用いられているが、それに限定されず、一般的の基板で使用される様々な工法と組み合わせることにより形成することができる。また、図1乃至図8において、配線層14に配線保護層17が積層されているが、配線層14に直接ソルダーレジストと形成することによって、電極を形成することもできる。

【0034】

【発明の効果】以上説明したように、本発明によれば、半導体装置の製造を効率化するとともに、半導体チップの高密度化及び薄型化を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の好ましい実施の形態を示す断面図。

【図2】本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図。

【図3】本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図。

【図4】本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図。

【図5】本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図。

【図6】本発明の半導体装置の製造方法の好ましい実施の形態を示す工程図。

【図7】本発明の半導体装置の製造方法の別の実施の形態を示す工程図。

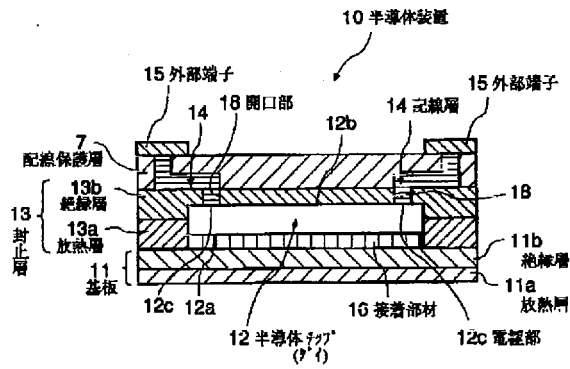
【図8】本発明の半導体装置の製造方法の別の実施の形態を示す工程図。

【図9】従来の半導体装置の一例を示す断面図。

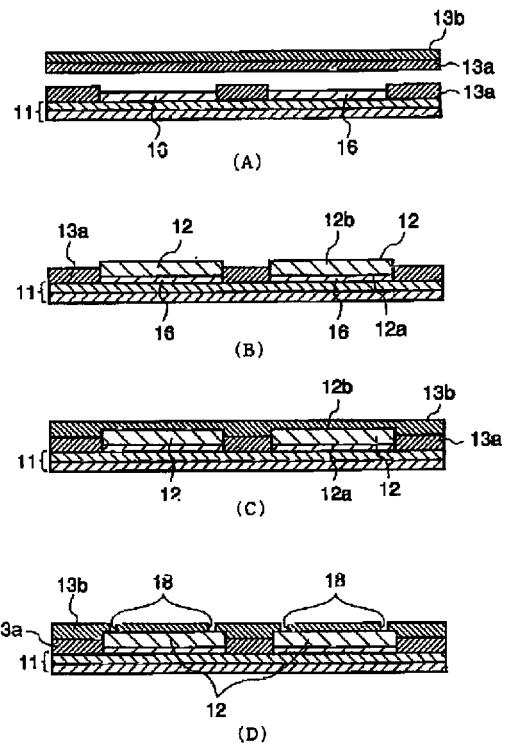
【符号の説明】

10・・・半導体装置(CSP)、11・・・基板、12・・・半導体チップ、12c・・・電極部、13・・・封止層、13a・・・絶縁層、13b・・・放熱層、14・・・配線層、15・・・外部端子、16・・・接着部材、17・・・配線保護層、18・・・開口部、20・・・導電体

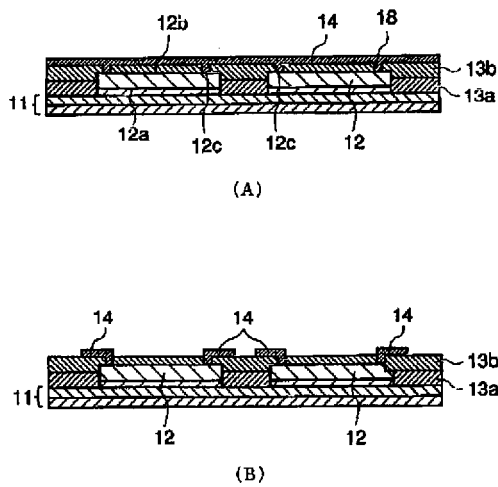
【図 1】



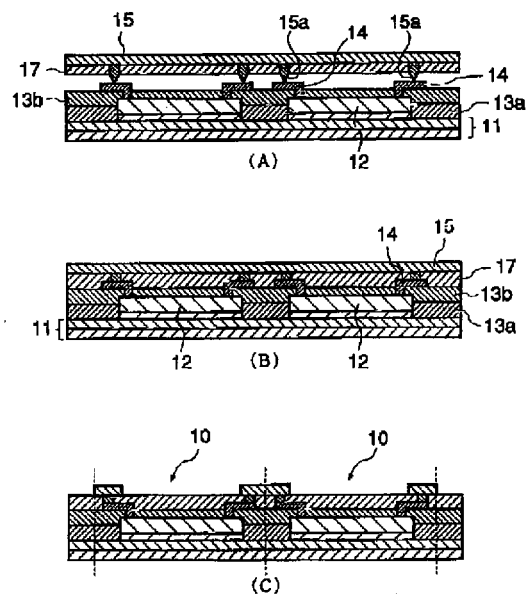
【図2】



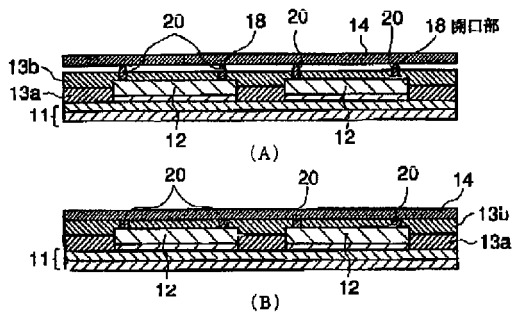
【図3】



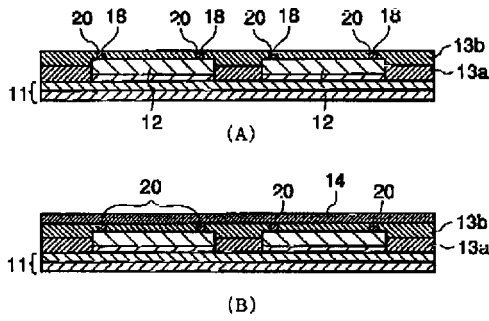
【図4】



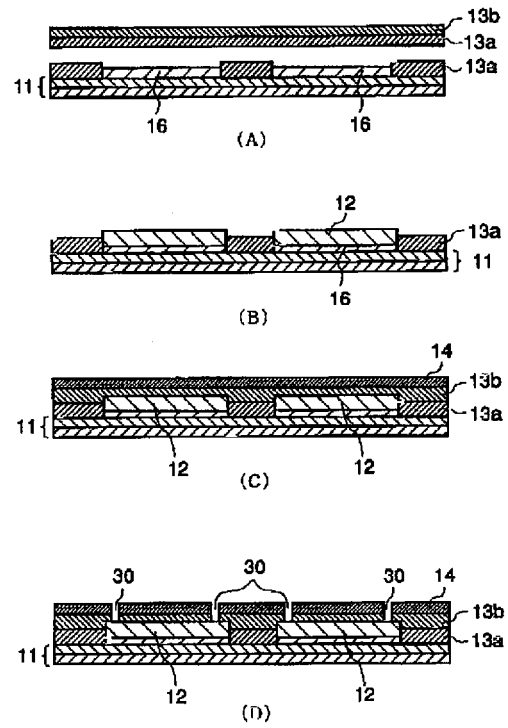
【図5】



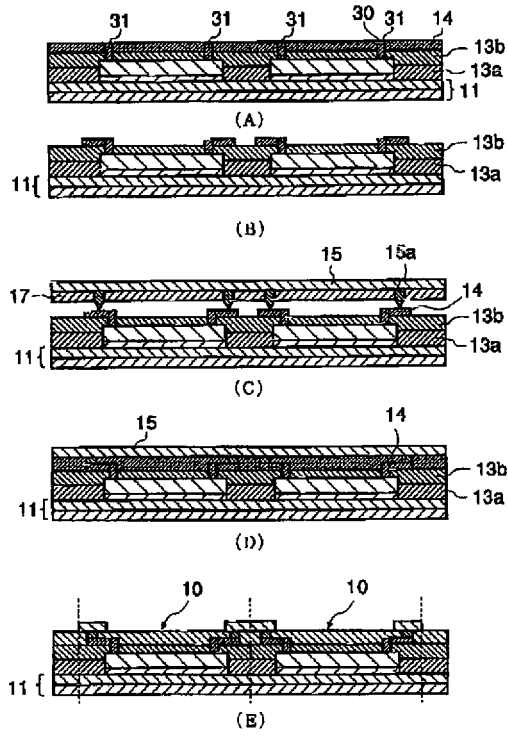
【図6】



【図7】



【図8】



【図9】

